



(19)

(11) Publication number:

04147347 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **02271807**

(51) Int'l. Cl.: **G06F 11/16 G06F 15/16**

(22) Application date: **09.10.90**

(30) Priority:

(43) Date of application publication: **20.05.92**

(84) Designated contracting states:

(71) Applicant: **NEC COMMUN SYST LTD**

(72) Inventor: **HAMADA TAKAHIRO**

(74) Representative:

(54) PROCESSOR FAILURE RECOVERY CONTROL METHOD

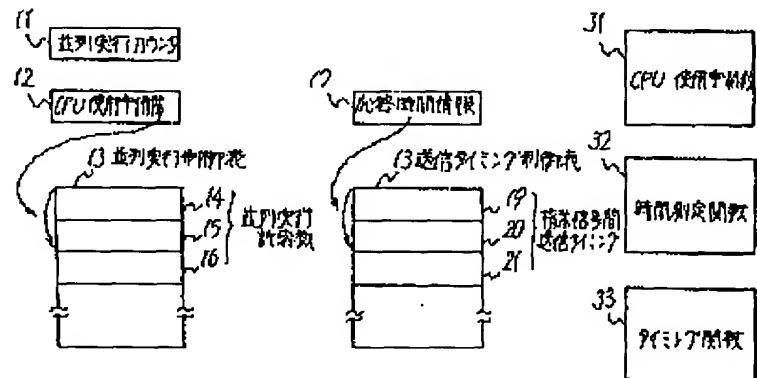
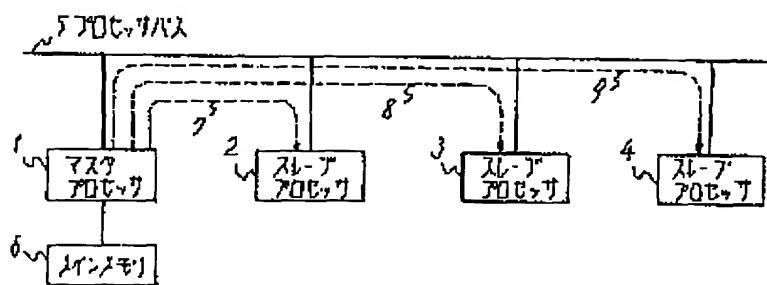
(57) Abstract:

PURPOSE: To execute failure recovery processing efficiently and appropriately when a processor failure occurs in a slave processor by controlling the processor failure recovery processing using the value of a parallel execution counter.

CONSTITUTION: Master processor 1, when a failure occurs in a slave processor 2, compares a parallel execution counter 11 with a parallel execution allowable number 16 obtained by looking up a parallel execution control table 13 using a CPU activity ratio information 12 calculated by a CPU activity ratio function 31. As a result of the comparison, if the value of the parallel execution counter 11 is within the parallel execution allowable number 16, the master processor 1 starts failure recovery processing 7 onto a slave

processor 2 through a processor bus 5. When the value of parallel execution counter 11 exceeds the parallel execution allowable number 16, the master processor waits until the processor failure recovery processing 7 starts. After the recovery processing starts, the master processor sends an inter-instruction signal sending timing 21 to the slave processor.

COPYRIGHT: (C)1992,JPO&Japio



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平4-147347

⑬ Int. Cl. 5

G 06 F 11/16
15/16

識別記号 庁内整理番号

310 B 9072-5B
470 U 9190-5L

⑭ 公開 平成4年(1992)5月20日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 プロセッサ障害復旧制御方式

⑯ 特 願 平2-271807

⑰ 出 願 平2(1990)10月9日

⑱ 発明者 浜田 隆宏 東京都港区三田1丁目4番28号 日本電気通信システム株式会社内

⑲ 出願人 日本電気通信システム 東京都港区三田1丁目4番28号
株式会社

⑳ 代理人 弁理士 内原 晋

明細書

発明の名称

プロセッサ障害復旧制御方式

特許請求の範囲

主記憶装置を備えたマスタプロセッサと複数のスレーブプロセッサとをプロセッサバスにより接続したマルチプロセッサシステムにおけるプロセッサ障害復旧制御方式において、該主記憶装置の中に、プロセッサ障害復旧処理の並列実行中個数を示す並列実行カウンタと、該マスタプロセッサのCPU使用率を定期的に算出するCPU使用率閾数と、該CPU使用率閾数が算出したCPU使用率を格納するCPU使用率情報と、該CPU使用率情報によって索引されるプロセッサ障害復旧処理の並列実行許容数を格納する並列実行制御表と、前記マスタプロセッサより前記スレーブプロセッサへの指示信号送信時から該スレーブプロセッサより該マスタプロセッサへの応答信号受信時

までの時間を測定する時間測定閾数と、該時間測定閾数により測定した時間を格納する応答時間情報と、該応答時間情報によって索引される該マスタプロセッサから該スレーブプロセッサへの指示信号間送信タイミングを格納する送信タイミング制御表と、任意のタイミング遅延を取りタイミング閾数とを有し、

前記スレーブプロセッサにプロセッサ障害が発生した場合に、前記並列実行カウンタが前記CPU使用率情報によって索引される前記並列実行制御表中の当該並列実行許容数以内の時には、該スレーブプロセッサへのプロセッサ障害復旧処理を開始し、前記並列実行許容数を超過した時は、前記プロセッサ障害復旧処理の開始を待ち合わせ、

当該プロセッサ障害復旧処理の開始後は、該プロセッサ障害復旧処理における該マスタプロセッサから当該スレーブプロセッサへの指示信号送信時に、前記応答時間情報によって索引される前記送信タイミング制御表中の当該指示信号間送信タ

タイミングを前記タイミング閾数によりタイミング遅延を取った後に送信することを特徴とするプロセッサ障害復旧制御方式。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、電子交換機やデータ通信システムなどマスタプロセッサと複数のスレーブプロセッサとをプロセッサバスにより接続したマルチプロセッサシステムで、一度稼働状態に入ったらサービスを中断することが許されないようなシステムにおけるプロセッサ障害復旧制御方式に関する。

〔従来の技術〕

従来、この種のマルチプロセッサシステムにおけるプロセッサ障害復旧制御方式では、障害となつた複数のスレーブプロセッサに対し一定数のプロセッサ障害復旧処理を無条件に並列実行したり、プロセッサ障害復旧処理におけるマスタプロセッサからスレーブプロセッサへの一連の指示信号送信時に常に一定のタイミング遅延を取るよう

-3-

になっていた。

〔発明が解決しようとする課題〕

上述したように従来のマルチプロセッサシステムにおけるプロセッサ障害復旧制御方式では、一定数のプロセッサ障害復旧処理を無条件に並列実行したり、プロセッサ障害復旧処理におけるマスタプロセッサからスレーブプロセッサへの一連の指示信号送信時に常に一定のタイミング遅延を取るようになっているので、スレーブプロセッサにプロセッサ障害が発生した場合に、システムが既に高負荷状態になっている時には、当該プロセッサ障害復旧処理の開始により高負荷状態がより一層冗長されたり、システムが低負荷状態の時は、システム処理能力に余裕があっても当該プロセッサ障害復旧処理時間を一定時間以下には短縮できず、プロセッサ障害復旧処理を効率良く行うことができない等の欠点がある。

本発明の目的は、スレーブプロセッサのプロセッサ障害発生時のシステム負荷状況の高低に拘わらず、システム動作へ悪影響を与えずに、当該

-4-

プロセッサ障害復旧処理を効率良く適切に制御することができるプロセッサ障害復旧制御方式を提供することにある。

〔課題を解決するための手段〕

本発明のプロセッサ障害復旧制御方式は、主記憶装置を備えたマスタプロセッサと複数のスレーブプロセッサとをプロセッサバスにより接続したマルチプロセッサシステムにおけるプロセッサ障害復旧制御方式において、該主記憶装置の中に、プロセッサ障害復旧処理の並列実行中個数を示す並列実行カウンタと、該マスタプロセッサのCPU使用率を定期的に算出するCPU使用率閾数と、該CPU使用率閾数が算出したCPU使用率を格納するCPU使用率情報と、該CPU使用率情報によって索引されるプロセッサ障害復旧処理の並列実行許容数を格納する並列実行制御表と、前記マスタプロセッサより前記スレーブプロセッサへの指示信号送信時から該スレーブプロセッサより該マスタプロセッサへの応答信号受信時までの時間を測定する時間測定閾数と、該時間測

-5-

定閾数により測定した時間を格納する応答時間情報と、該応答時間情報によって索引される該マスタプロセッサから該スレーブプロセッサへの指示信号間送信タイミングを格納する送信タイミング制御表と、任意のタイミング遅延を取るタイミング閾数とを有し、

前記スレーブプロセッサにプロセッサ障害が発生した場合には、前記並列実行カウンタが前記CPU使用率情報によって索引される前記並列実行制御表中の当該並列実行許容数以内の時には、該スレーブプロセッサへのプロセッサ障害復旧処理を開始し、前記並列実行許容数を超過した時は、前記プロセッサ障害復旧処理の開始を待ち合わせ、

当該プロセッサ障害復旧処理の開始後は、該プロセッサ障害復旧処理における該マスタプロセッサから当該スレーブプロセッサへの指示信号送信時に、前記応答時間情報によって索引される前記送信タイミング制御表中の当該指示信号間送信タイミングを前記タイミング閾数によりタイミング

-6-

遅延を取った後に送信する構成である。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明によるマルチプロセッサシステムの一構成例を示す図であり、マスタプロセッサ1及びスレーブプロセッサ2、3、4がプロセッサバス5により接続され、マスタプロセッサ1はメインメモリ6を備えている。マスタプロセッサ1は、スレーブプロセッサ2、3、4のプロセッサ障害発生時に、プロセッサバス5を通してプロセッサ障害復旧処理7、8、9によりスレーブプロセッサ2、3、4の障害復旧を制御する。

第2図は第1図に示したメインメモリに収容された制御情報及び処理関数の一実施例を示す図である。第2図において、メインメモリ6の中に、プロセッサ障害復旧処理の並列実行中個数を示す並列実行カウンタ11と、マスタプロセッサ1のCPU使用率を定期的に算出するCPU使用率関数31と、算出したCPU使用率を格納する

-7-

CPU使用率情報12と、そのCPU使用率情報12によって索引されるプロセッサ障害復旧処理の並列実行許容数14、15、16を格納する並列実行制御表13と、マスタプロセッサ1よりスレーブプロセッサ2、3、4への指示信号送信時から当該スレーブプロセッサ2、3、4よりマスタプロセッサ1への応答信号受信時までの時間を測定する時間測定関数32と、測定した時間を格納する応答時間情報17と、その応答時間情報17によって索引されるマスタプロセッサ1からスレーブプロセッサ2、3、4への指示信号間送信タイミング19、20、21を格納する送信タイミング制御表18と、任意のタイミング遅延を取り替えるタイミング関数33とを有している。

次に、具体例として、スレーブプロセッサ2に障害が発生した場合の動作について説明する。マスタプロセッサ1はスレーブプロセッサ2のプロセッサ障害が発生した場合に、並列実行カウンタ11と、CPU使用率関数31により算出し格納されたCPU使用率情報12によって並列実行制

-8-

御表13を索引して求めた並列実行許容数16とを比較し、並列実行カウンタ11が並列実行許容数16以内の時には、プロセッサバス5を通して、スレーブプロセッサ2へのプロセッサ障害復旧処理7を開始し、並列実行カウンタ11が並列実行許容数16を超過した時は、プロセッサ障害復旧処理7の開始を持ち合わせる。

プロセッサ障害復旧処理7の開始後は、そのプロセッサ障害復旧処理7におけるマスタプロセッサ1からスレーブプロセッサ2への指示信号送信時に、時間測定関数32により測定し格納された応答時間情報17によって送信タイミング制御表18を索引して求めた指示信号間送信タイミング21を、タイミング関数33によりタイミング遅延を取った後に送信する。プロセッサ障害復旧処理7における一連の指示信号送信及び応答信号受信に関して、上記手順を繰り返し実行する。

次に、第3図により、指示信号間送信タイミング21の値の決め方（考え方）の一実施例を説明する。第3図は、送信タイミング制御表18とそ

こに格納された指示信号間送信タイミング21の具体的な値の一実施例を示した図であり、応答時間情報17を50ms単位に分類した場合が示されている。応答時間情報が50ms以内であった場合は、タイミング遅延をせずに次の指示信号を送信し、51ms以上100ms以内の場合は、25msのタイミング遅延を取った後に次の指示信号を送信し、101ms以上150ms以内の場合は、50msのタイミング遅延を取った後に次の指示信号を送信する。同様に、応答時間情報の値に対応して、所定の指示信号間送信タイミングを取った後に次の指示信号を送信する。

〔発明の効果〕

以上説明したように本発明は、スレーブプロセッサにプロセッサ障害が発生した場合に、並列実行カウンタがCPU使用情報によって索引される並列実行制御表中の並列実行許容数以内の時には、当該スレーブプロセッサへのプロセッサ障害復旧処理を開始し、並列実行許容数を超過した時には、プロセッサ障害復旧処理の開始を持ち合わ

-10-

-9-

せ、プロセッサ障害復旧処理の開始後は、当該プロセッサ障害復旧処理におけるマスタプロセッサから当該スレーブプロセッサへの指示信号送信時に、応答時間情報によって索引される送信タイミング制御表中の指示信号間送信タイミング関数によりタイミング遅延を取った後に送信することにより、スレーブプロセッサのプロセッサ障害発生時のシステム負荷状況の高低に拘わらず、システム動作へ悪影響を与えずに、当該プロセッサ障害復旧処理を効率良く適切に制御することができる効果を有する。

図面の簡単な説明

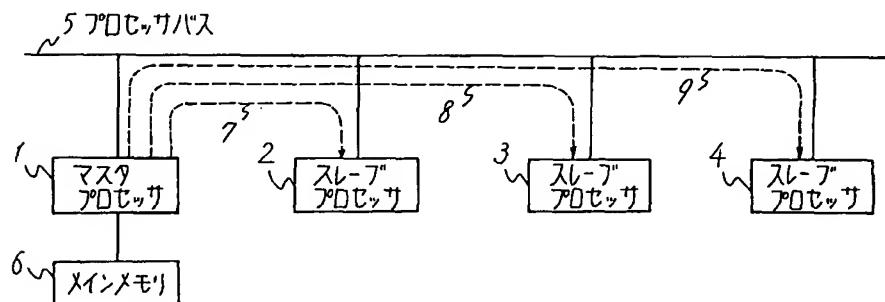
第1図は本発明によるマルチプロセッサシステムの一構成例を示す図、第2図は第1図に示したメインメモリに収容された制御情報及び処理関数の一実施例を示す図、第3図は送信タイミング制御表とそこに格納された指示信号間送信タイミングの一実施例を示す図である。

1…マスタプロセッサ、2, 3, 4…スレーブ

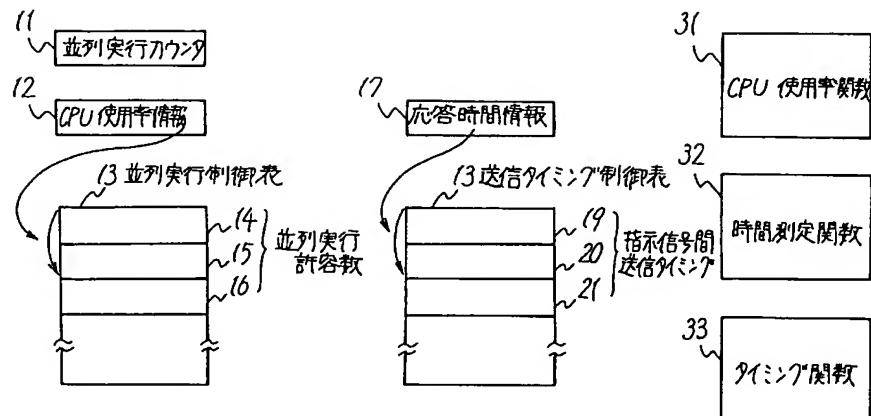
- 11 -

代理人 弁理士 内原晋

- 12 -



第1図



第2 図

0 ~ 50 ms	0 ms
51 ~ 100 ms	25 ms
101 ~ 150 ms	50 ms
151 ~ 200 ms	75 ms
201 ~ 250 ms	100 ms
251 ~ 300 ms	125 ms
301 ~ 350 ms	150 ms
351 ~ 400 ms	175 ms
401 ~ 450 ms	200 ms
451 ~ 500 ms	200 ms
501 ~ 550 ms	200 ms
551 ~ 600 ms	300 ms
601 ~ 650 ms	300 ms
651 ~ 700 ms	300 ms
701 ~ 750 ms	400 ms
751 ~ 800 ms	400 ms
801 ~ 850 ms	400 ms
851 ~ 900 ms	500 ms
901 ~ 950 ms	500 ms
951 ms 以上	500 ms

第3 図